Documentación de apoyo al auto aprendizaje del MC68000

1. Introducción

   El presente documento contiene la información necesaria que permitirá conducir al estudiante al auto aprendizaje en varios aspectos concretos concernientes al microprocesador MC68000.

2. Descripción general de la materia objeto del autoaprendizaje.

   Son dos, los temas escogidos para el auto aprendizaje:

   - la conexión de dispositivos (memorias y periféricos) al MC68000 para lo que se requiere el conocimiento de cómo operan los diferentes pines del microprocesador y de los dispositivos que se interconectan a él, y

   - las excepciones, que abarcan tanto la comprensión de algunos pines, como el comportamiento del microprocesador desde el momento en que se produce una excepción, hasta que su procesamiento concluye.

3. Documentación

   Se puede encontrar numerosas fuentes bibliográficas, tanto manuscritas en biblioteca, como de tipo electrónico en Internet.

   Libros de texto:
   - SISTEMAS DIGITALES: Ingeniería de los microprocesadores 68000.
     Antonio García Guerra y Enrique Fenoll Comés
   - LA FAMILIA DEL MC68000
     Julio Septién et all
   - 68000 MICROCOMPUTER ORGANIZATION AND PROGRAMMING.
     Per Stenström
   - DISEÑO Y PROGRAMACIÓN DEL µP 68000 Y PERIFÉRICOS
     Enrique Colomar Pous et all

   Apuntes de clase:
   - http://www.dte.us.es/tec_inf/itig/etc2/material/ETC2_0304_68K_transparencias.pdf

   Tutoriales web:
   - Del profesor Francisco Javier Gómez Arribas. Universidad autónoma de Madrid.
     http://www.ii.uam.es/%7Efjgomez/68000/tutorial/indice.html

   Datasheet:
   - Manual de usuario del 68000
     http://www.dte.us.es/tec_inf/itig/microele/docu/tema1/MC68000UM.pdf
   - Hoja de características de la memoria ROM 27C256-10
     http://www.vgwiz.com/files/27c256.pdf
   - Hoja de características de la memoria SRAM CY62256V25-100
     http://eent3.sbu.ac.uk/units/ade/warpdocs/CDrom/CDROM/DOCS/PRODUCT/SRAMS/

CY62256V.PDF

- Hoja de características de la VIA 6522
  http://www.dte.us.es/tec_inf/itig/microele/docu/tema2/6522AP.pdf
- Hoja de características de la DUART 68681
  http://www.dte.us.es/tec_inf/itig/microele/docu/tema2/SCN68681_2.pdf

La bibliografía desarrollada sirve como referencia y no necesariamente el alumno se tiene que ajustar a ella, pudiendo buscar referencias alternativas.

4. Índice desarrollado

En esta sección se recoge el índice detallado que, también, ha sido ordenado siguiendo el proceso natural de aprendizaje en cada uno de los apartados que contiene. Por este motivo, es recomendable seguir la secuencia de estudio atendiendo al orden en el que cada apartado de la materia se ha presentado.

- Conexión de memorias al MC6800
  1. Buses de dirección y datos.
  2. Control del bus asíncrono (#DTACK,R/#W,#UDS,#LDS,#AS)
  3. Bus de control del sistema y estado del procesador (#BERR y FC2,FC1,FC0)
  4. Organización de datos en memoria.
  5. Ciclos de lectura/escritura (temporización), secuencia de estados.
  6. Estructura y temporización de la RAM CY62256V25-100 y de la ROM 27C256-10 (función de los pines y temporización de acceso).
  7. Esquema de decodificación de dispositivos de memoria.
- Conexión de dispositivos al MC68000
  1. Dispositivos periféricos asíncronos y síncronos.
  2. Control del bus síncrono (E, #VPA, #VMA).
  3. Organización en el mapa de memoria de los periféricos.
  4. Estructura y temporización de la DUART 68681 y la VIA 6255 (función de los pines de interfaz con el procesador y temporización de acceso).
  5. Esquema de decodificación de dispositivos síncronos
  6. Esquema de decodificación de dispositivos asíncronos
- Excepciones
  1. ¿Que es una excepción?
  2. Tipos de excepciones y su clasificación
  3. Vectores de excepción.
  4. Tabla de vectores de excepción.
  5. Secuencia de procesamiento de excepciones.
  6. Descripción de las diferentes excepciones.
  7. Interrupciones (#IPL2,#IPL1,#IPL0).
  8. Ciclos de reconocimiento de interrupciones.
  9. Conexión de periféricos síncronos al sistema de interrupciones del MC68000.
  10. Conexión de periféricos asíncronos al sistema de interrupciones del MC68000.
  11. Programación de excepciones.

5. Relación de ejercicios de autoevaluación.

- Conexión de memorias al MC68000

A1. Determina cuántas direcciones físicas puede generar el MC68000 mediante su bus de direcciones y el tamaño máximo de su memoria física.

A2. Relación entre direcciones lógicas y direcciones físicas.

A3. ¿Qué parte del bus de datos se utiliza en accesos a memoria de tamaño byte?.

A4. ¿Es posible acceder a datos de tamaño palabra o palabra larga en un mismo ciclo de lectura/escritura?¿y en direcciones impares?

A5. Describe la funcionalidad de los pines (#DTACK,R/#W,#UDS,#LDS,#AS)

A6. Que diferencia existe entre un ciclo de lectura de datos y de programa. ¿Y entre un ciclo de lectura de usuario y de supervisor? Qué utilidad puede tener el hecho de que se distinga entre ciclos de supervisor y ciclos de usuario.

A7. Describe los valores que toman las salidas FC2-FC0 para todos los posibles ciclos de lectura/escritura que se puedan dar en el MC6800.

A8. Determina los valores lógicos de los pines del bloque de control del bus asíncrono para el caso de:

a) lectura de un dato de tamaño byte en dirección par.

b) escritura de un dato de tamaño byte en dirección impar.

c) lectura de un dato de tamaño palabra en dirección par.

d) escritura de un dato de tamaño palabra larga en dirección par.

e) lectura de un dato de tamaño palabra en dirección impar.

A9. En un ciclo de lectura, en qué estado se activan las señales FC2-FC0, R/#W,#UDS,#LDS,#AS. ¿En qué estado el microprocesador puede leer los datos?. Repita el caso para un ciclo de escritura.

A10. Indica cuándo finaliza un ciclo de lectura/escritura normal y qué produce que el microprocesador inserte estados de espera. ¿Existe algún mecanismo que evite al MC68000 insertar estados de espera indefinidamente?

A11. Si la frecuencia de reloj del microprocesador es de 10Mhz, cuánto duraría, como mínimo, un ciclo de lectura/escritura de un dato de tamaño byte. Repita el caso para datos de tamaño palabra y palabra larga.

11. Describe para qué se utiliza la señal de #BERR.

A12. Dibuja un circuito que permita activar la señal de #BERR después de cada 40 ciclos de reloj del microprocesador, CLK, si no se ha recibido, previamente, la activación de #DTACK.

A13. ¿Quién activa la señal #DTACK?. Dibuja un circuito que permita insertar dos estados de espera para las operaciones de lectura/escritura comprendidas en el rango de direcciones $FFXXXX, y ninguno para las direcciones $F0XXXX.

A14. Suponiendo que la frecuencia del reloj del microprocesador es de 10Mhz, calcula cuánto tiempo dispone el sistema de decodificación y las memorias externas en realizar un ciclo de lectura/escritura sin necesidad de insertar ciclos de espera.

A15. Describe la funcionalidad de los pines del integrado CY62256V25-100. ¿Cuál es su tiempo de acceso.?

A16. Repita el apartado anterior con la ROM 27C256-10

A17. Si un hipotético sistema formado por el microprocesador MC68000 trabajando a 10Mhz y chips de RAM y ROM como los de apartados anteriores, ¿serían necesarios insertar estados de espera? ¿Y si ambos dispositivos tuvieran un tiempo de acceso de 300ns, cuántos ciclos de espera se deberían insertar?. (Suponemos que la decodificación no genera ningún retraso)

A18. Se desea obtener un sistema basado en MC68000 en cuyas 64K posiciones más bajas disponga de memoria RAM y en las 64K más altas de ROM. Diseñar el sistema de decodificación completo utilizando las memorias SRAM y ROM de apartados anteriores. Utilizar decodificación parcial.

A19. Se desea diseñar un sistema basado en MC68000 que las 64K posiciones más bajas de memoria se destinan a datos y programas de supervisor, las siguientes 64K a datos de usuario y las 64K más altas a programa de usuario. Elija el tipo de chip (RAM o ROM) apropiado a cada zona.

- Conexión de dispositivos al MC68000

B1. Describe qué es un dispositivo periférico y pon algunos ejemplos de ellos.

B2. Diferencia entre un dispositivo periférico asíncrono y otro síncrono. Pon ejemplos de ambos.

B3. Funcionalidad de los pines E, #VPA y #VMA

B4. Describe un ciclo de lectura/escritura en un periférico síncrono.

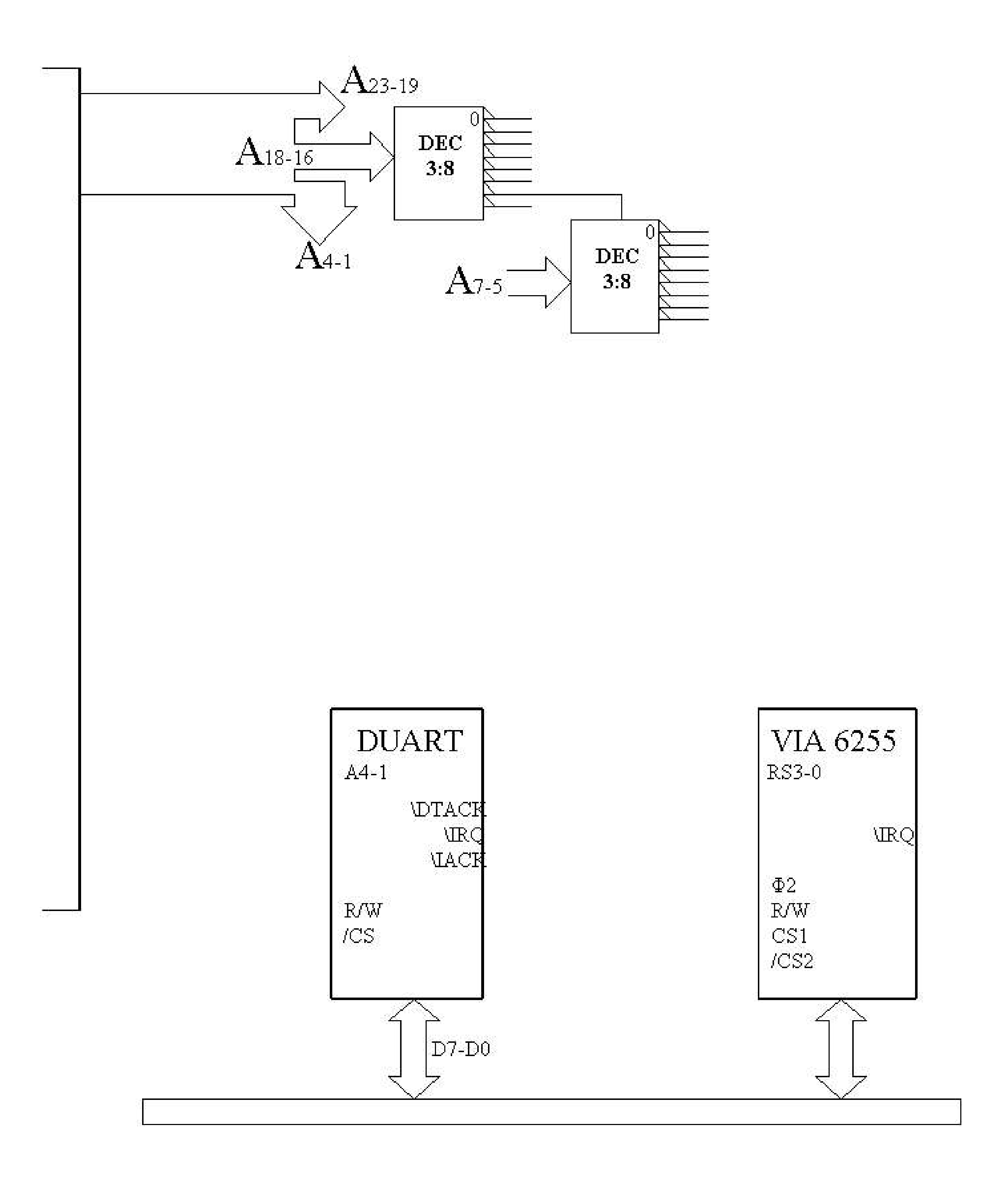
B5. Describe un ciclo de lectura/escritura en un periférico asíncrono.

B6. Normalmente los periféricos son dispositivos de 8 bits, mientras que el bus del MC68000 es de 16 bits. Describe posibles soluciones de conexión de dichos dispositivos al bus. Desde el punto de vista de un programador, cómo se ven los diferentes registros internos de un dispositivo periférico atendiendo a las diferentes soluciones aportadas en la conexión.

B7. Explica la funcionalidad de los pines D0-D7, R/WN, DTACKN, CSN, A1-A4, RESETN, INTRN, IACKN de la DUART 68681

B8. Explica la funcionalidad de los pines D0-D7, Φ2, CS1, #CS2, R/#W, RS0-RS3, #RES, #IRQ de la VIA 6522.

B9. Se dispone de una VIA 6255 y de una DUART 68681 tal y como aparece en la figura de la página 5. Diseñar el sistema de decodificación y conexión con el microprocesador 68000 para que los contenidos de los registros de la DUART sean accedidos en las direcciones impares a partir de la $060080, y los de la VIA en las direcciones impares a partir de la dirección $0600A0.¿Utiliza el esquema base propuesto decodificación total? ¿Qué rango de direcciones quedan disponibles para memoria RAM/ROM? Modifica el esquema para incluir 32K palabras de RAM en las posiciones más bajas de la memoria.


A23-19
A18-16
DEC
3:8
0
A4-1
A7-5
DEC
3:8
0
DUART
A4-1
\DTACK
\IRQ
\IACK
R/W
/CS
VIA 6255
RS3-0
\IRQ
Φ2
R/W
CS1
/CS2
D7-D0

- Excepciones

C1. ¿Qué es una excepción y cuál es la clasificación que Motorola hace de las excepciones?

C2. Diferencias entre excepciones internas y externas. Pon ejemplos de ellas.

C3. ¿Qué son las interrupciones?

C4. Describe qué es un vector de excepción y representa la tabla de vectores de excepción. ¿ Qué funcionalidad tiene el vector nº 5 y que posición ocupa? ¿y el vector nº 100?

C5. Describe la secuencia de procesamiento de una excepción.

C6. Explica y describe la secuencia de procesamiento para las siguientes excepciones: Reset, Error de Bus, Error de dirección, instrucción ilegal, división por cero, instrucción CHK, instrucción TRAPV, instrucciones TRAP #n, violación de privilegio, traza y emulación.

C7. Cuándo ocurre un doble error de bus y si acontece, ¿se genera una excepción?.

C8. ¿Se puede ejecutar una excepción en modo usuario?.

C9. Implemente una rutina de excepción (TRAP #4) que tras ejecutarse, provoque que el programa principal pase a modo supervisor.

C10. Qué ocurre en los pines del 68000 cuando se inicia un ciclo de reconocimiento de interrupciones.

C11. Conecte una VIA 6255 a un sistema basado en un MC68000 de forma que pueda generar interrupciones autovectoradas de nivel 4.

C12. Conecte la DUART 68681 a un MC68000 de forma que pueda generar interrupciones de nivel 7.

C13. Acople en un mismo diseño los apartados C10, C11 y B9.

C14. Describe qué ocurre cuando tras iniciarse un ciclo de reconocimiento de interrupciones, el MC68000 recibe:

a) la activación de #VPA

b)la activación de #DTACK

c)la activación de #BERR

C15. ¿Qué dispositivos pueden almacenar los vectores de interrupción de usuario que vuelcan en el bus en un ciclo de reconocimiento de interrupción? ¿Cuáles son los rangos permitidos?.